



Xilinx FPGA Application

Intel Lunapier platform LVDS Solution

18bit to 24bit

Answer Technology Co., Ltd.
Application Dept.
FAE Leo Lee

Sep / 2010 V1.6



Anstek / Xilinx provide solution List

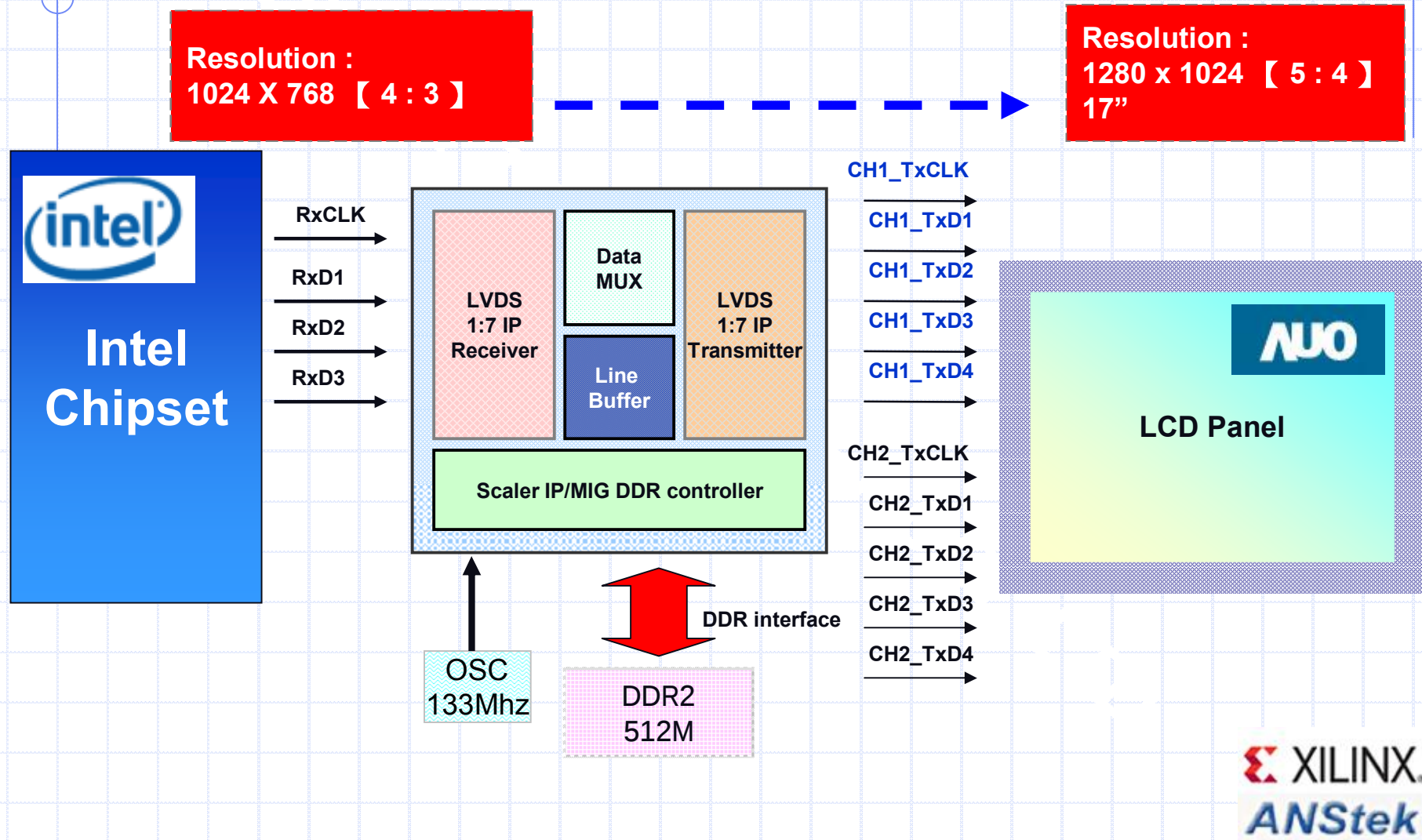


Order P/N		AVL-18T24-S1		
Device		XC3S200AN-4FTG256C		
Mode		Resolution		schedule
		In	Out	
1	Scaler	1ch 18bit / 1024 x 768	2ch 24bit / 1280 x 1024	now
Order P/N		AVL-18T24-BS2a / AVL-18T24-BS2b / AVL-18T24-BS2c		
Device		XC3S200AN-4FTG256C / XC3S100E-4CPG132C		
Mode		Resolution		schedule
		In	Out	
1	Scaler	1ch 18bit / 1280 x 800	2ch 24bit / 1280 x 1024	For 200AN
2	Bypass	1ch 18bit VBIOS	2ch 24bit	now
3		1ch 18bit VBIOS	1ch 24bit X2	now
4		1ch 18bit VBIOS	1ch 18bit X2	New
Order P/N		AVL-18T24-S3		
Device		XC3S200AN-4FTG256C		
Mode		Resolution		schedule
		In	Out	
1	Scaler	1ch 18bit 1366 x 768	2ch 24bit / 1920 x 1080	now

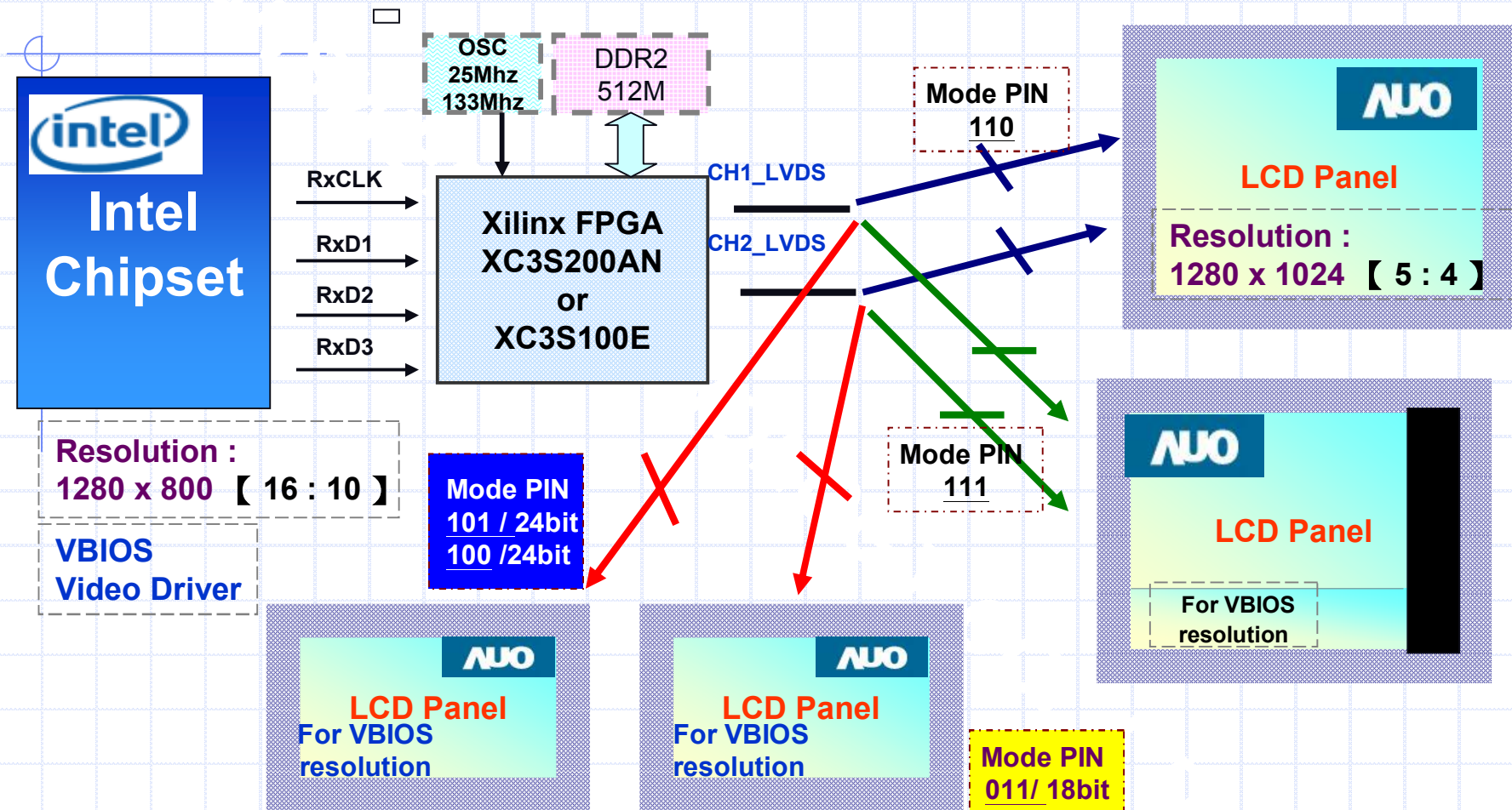




AVL-18T24-S1 Block Diagram

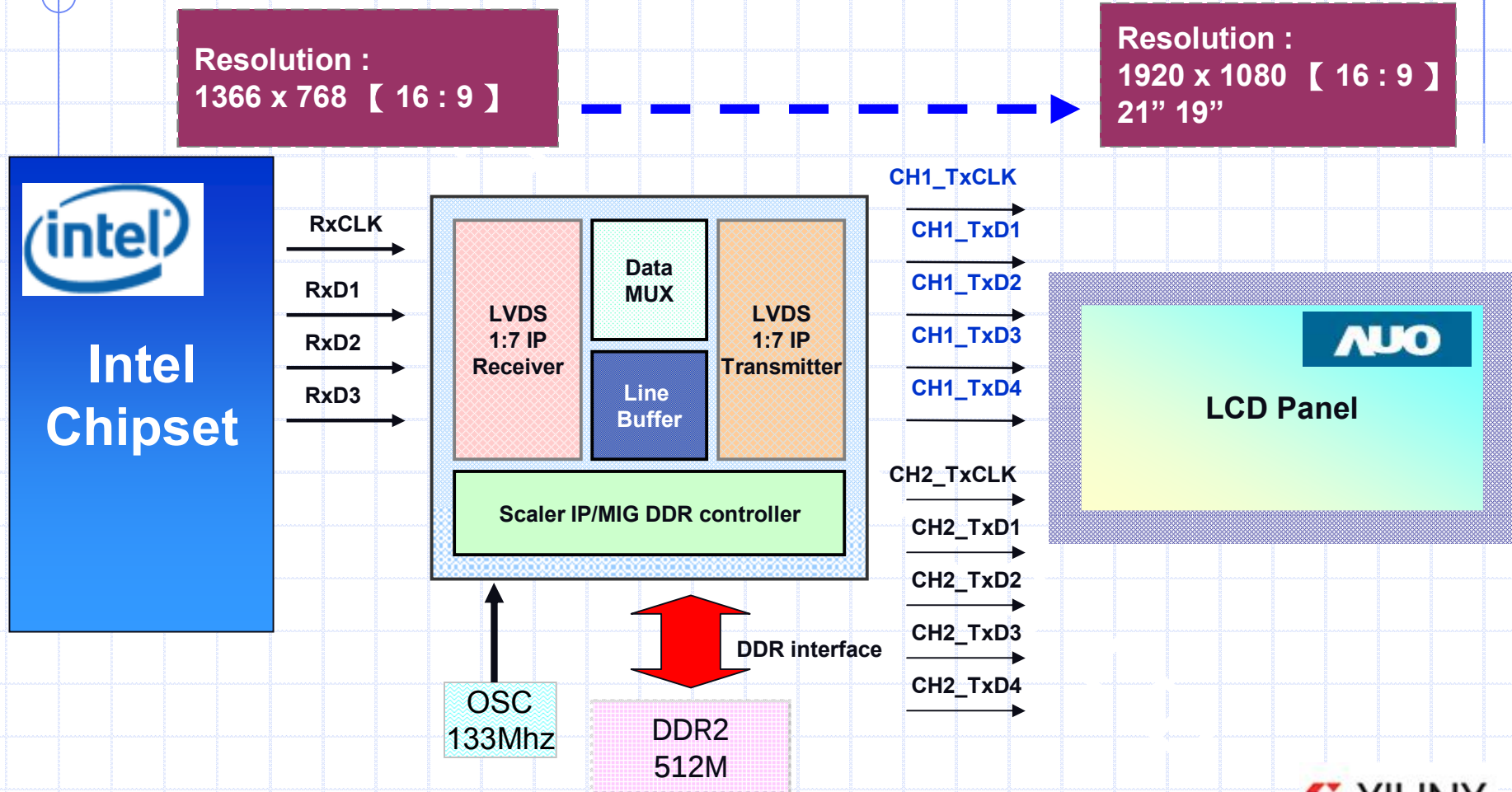


AVL-18T24-BS2 Block Diagram



- ※ Saclar mode : Mode pin = 110
- ※ bypass mode : Mode pin = 101 << 24 bit by pass (support Open LDI panel standards)
- ※ bypass mode : Mode pin = 100 << 24 bit by pass (support SPWG panel standards)
- ※ bypass mode : Mode pin = 011 << 18 bit by pass

AVL-18T24-S3 Block Diagram



Release Material



u Schematic: OrCAD

- | Scaler
- | Bypass

u BOM List: Excel

- | Scaler
- | Bypass

u Datasheet

- | XC3S200AN-4FTG256C
- | EM68B16CWPA-25H
- | ADP1708ACPZ
- | ADP1715ARMZ-R7
- | DSC1025BC2-133.0000TF

u Support FAE:

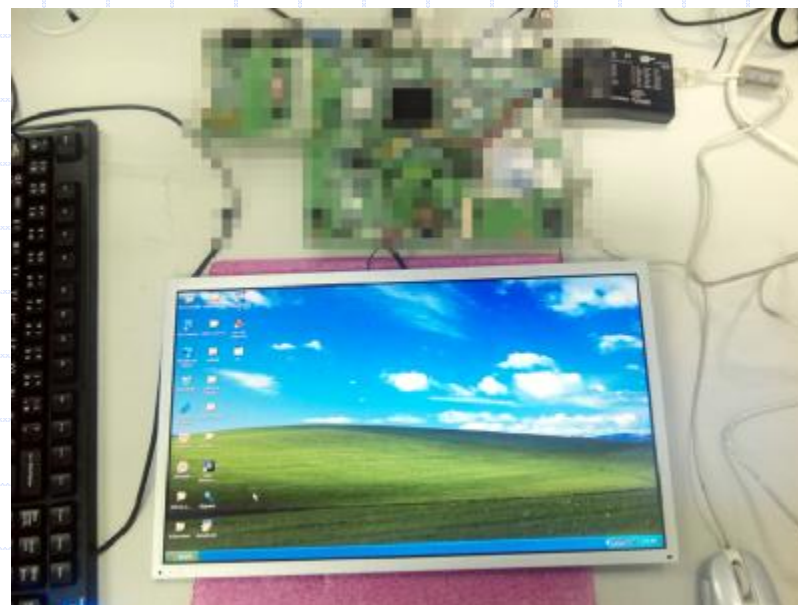
- | Leo.Lee

DDRII Vender list (suggestion)

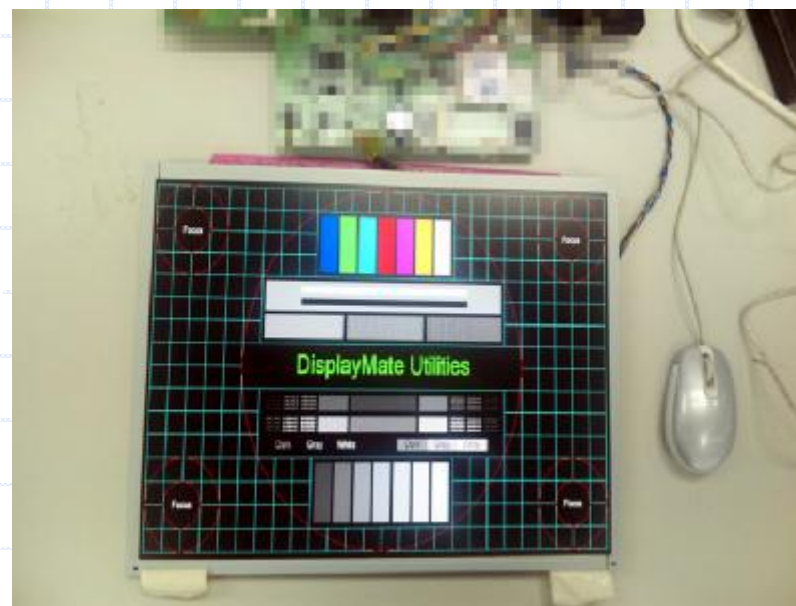
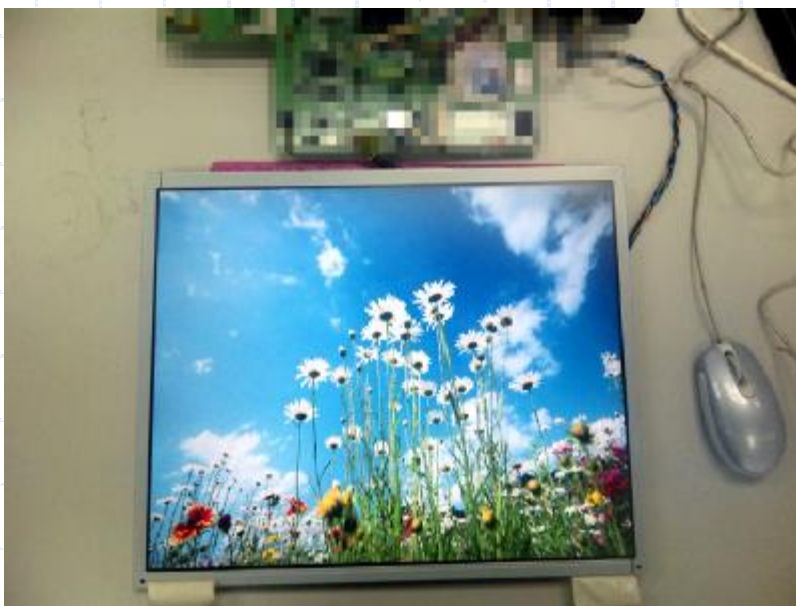
- u Etron Tech - 鈺創 (Anstek)
- u Micro - 美光
- u Hynix - 海力士



Demo review for single panel



Demo review for dual panel



Q & A



Q: 支援DDR3 memory?

A: 目前xc3s200an是不可以的,但在下一版本的Sparta6系列是有支持的.

Q: 如果只要單純的18bit轉24bit是否有需要上memory?

A: 點Single channel的Panel是不需要上件DDR2的,而且OSC也不用上133MHz,只要提供25MHz即可

Q: 如果需要的resolution不在Anstek提供的表列中,表示不能支援? ex: 1600 X 1200?

A: 是的,如果不在列表中的resolution目前是無法支援的,但是Anstek有配合的3rd廠商可以協助客戶客製該resolution,酌收NRE費用 NT\$25K~30K.

Q: 參考線路上的SPI Flash的用途是?

A: 原則上FPGA是需要外掛一個SPI Flash來存放bit file,但在Spartan3AN系列的FPGA有內建Flash,可以不用外掛Flash,但是如果需要增加額外的FPGA功能應用而要換非AN系列的FPGA,則需要外接一個Flash,所以參考線路圖上是預留用的.

Q: 參考線路上的FPGA BANK1 的 E16,F15這兩PIN Loop的定義是?

A: 意思是指Layout的線長需要為DDR2的DQS二倍長,這是FPGA中 DDR Control IP的專用PIN.

Q: 如果想要能動態是更新FPGA的程式來切換不同的resolution,是否有這樣的解決方案?

A: 有的,目前有透過chipset的GPIO來更新FPGA的程式的方法,但需要BIOS的程式Effort,詳情可以與FAE連繫討論.



Version update



2010/5/6

AVL-18T24-BS2新增 18 bit to 18 bit bypass的功能
AVL-18T24-BS2可支援SPWG/Open LDI兩種Panel格式

2010/6/13

刪除AVL-18T24-S3中的 Video in 1280 x 800 版本,統一為比率【 16 : 9】的1366 x 768 to 1920 x1080

2010/9/5

燒錄檔案重新定義

AVL-18T24-BS2a (沒有OSC)

AVL-18T24-BS2b (OSC 25M)

AVL-18T24-BS2c (OSC 133M)

