

From: Leo.Lee

Sent: Thursday, September 16, 2010 1:07 PM

To: Leo.Lee

Subject: Spartan6 Schematic Check!!!!!!

以下是關於 **Spartan6** 系列的 **device**,在硬體線路規劃時需特別注意的地方

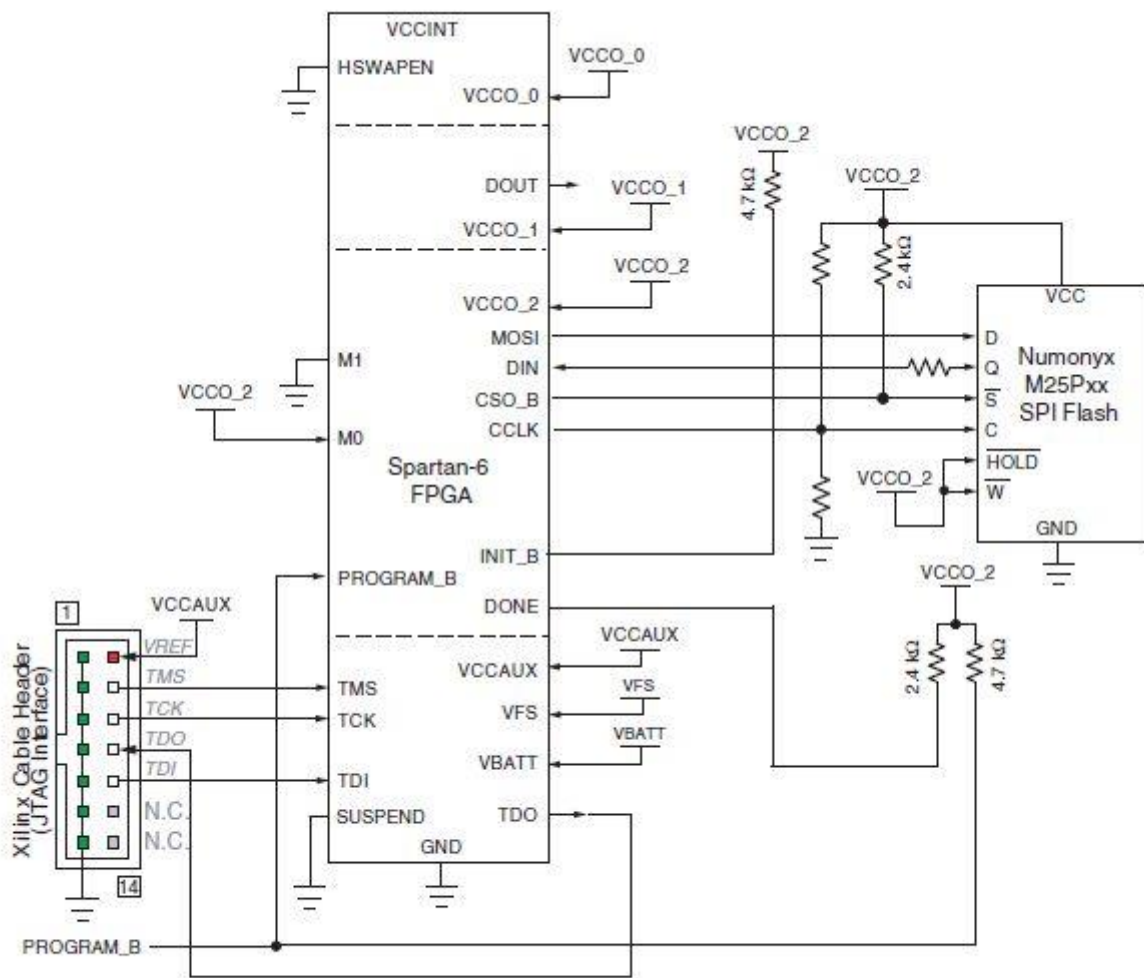
「 Configuration 」

首先是 Configuration 時所需要作設定的硬體週邊的電路,假若這個地方有問題,那肯定要重新 layout,

以下是 SPI Mode 的設定的參考電路圖

http://www.xilinx.com/support/documentation/user_guides/ug380.pdf

Xilinx UG380 Spartan-6 FPGA Configuration User Guide



Refer to the Notes following this figure for related information.

UG380_v2_12_121109

Figure 2-12: Spartan-6 FPGA SPI Configuration Interface

1.) M0/M1

這 2PIN 主要的功能是選擇 FPGA Load Code 的方式,總共有以下幾種模式,所以我們建議最好是分別都作 pull up/down (公板線路上是 200 ~ 1K)

PS: 這當然也可以當作一般 IO 來使用,只是在 power ON 時,如果是使用 SPI Flash 來作 Boot Load 需要設定為 M1 = Low / M0 = High

可參考下圖及附件

Table 2-1: Spartan-6 FPGA Configuration Modes

Configuration Mode	M[1:0]	Bus Width	CCLK Direction
Master Serial/SPI	01	1, 2, 4 ⁽¹⁾	Output
Master SelectMAP/BPI ⁽²⁾	00	8, 16	Output
JTAG ⁽³⁾	xx	1	Input (TCK)
Slave SelectMAP ⁽²⁾	10	8, 16	Input
Slave Serial ⁽⁴⁾	11	1	Input

http://www.xilinx.com/support/documentation/user_guides/ug380.pdf

2.) INIT / DOWN / AWAKE 這 3PIN 是 dual function pin,但分別在 FPGA Config 時,有一定需要的準位與設定

INIT_b << 這 Pin 需要在 power on 時維持在 high,所以 pull up 是保險的作法,雖然 FPGA 內部會 pull up 但很 weak

DONE << 這 PIN 是顯示 FPGA 是否正常動作的專屬 IO,一般我們會接一個 LED 來作為判斷 FPGA 是否正常運作的依據,但這一 Pin 需要在 power on 時維持在 high,直到 FPGA Configuration 結束時

< done pin 的動作是 Low → Hz → High >

AWAKE << 這是 FPGA 在 Sleep mode 時,叫醒 FPGA 的專用 PIN,這 pin 若不用時可以不理會.

3.) HSWAPEN

這 PIN 的功能是決定 FPGA 在 configuration 時,IO 的狀態,建議是分別 pull /down,如果完全不在意 configuration IO 的 default 狀態是可以不管它的.

這可以參考下表

HSWAPEN	Input	Dual-Purpose	Controls I/O pull-up resistors during configuration. This pin has a built-in weak pull-up resistor. 0 = Pull-up during configuration 1 = 3-state during configuration
---------	-------	--------------	---

http://www.xilinx.com/support/documentation/user_guides/ug380.pdf

4.) SUSPEND/PROG_B

這幾 pin 不能當作一般 IO 使用,而且 PROB_B 需要 pull up,SUSPEND 如果不沒有規劃進 Sleep mode 需要 pull down(不接也可以,只是比較不保險)

PROG_B 這也能算是 FPGA 的硬體 reset,如果這 PIN 接 low 時,FPGA 會重新 reboot,直到它為 high,FPGA 常能正常運作

6.) Spartan 6 其實是沒有 power sequence 問題的,但是保險起建,

VCCAUX(3.3V or 2.5V)是要比 VCCINT (1.2V)早 ready,因為一般 1.2V 都是由 3.3V 轉出來的,所以都沒有太大的 issue

下表是有關 Spartan6 Configuration 需要的 SPI Flash Memory Size

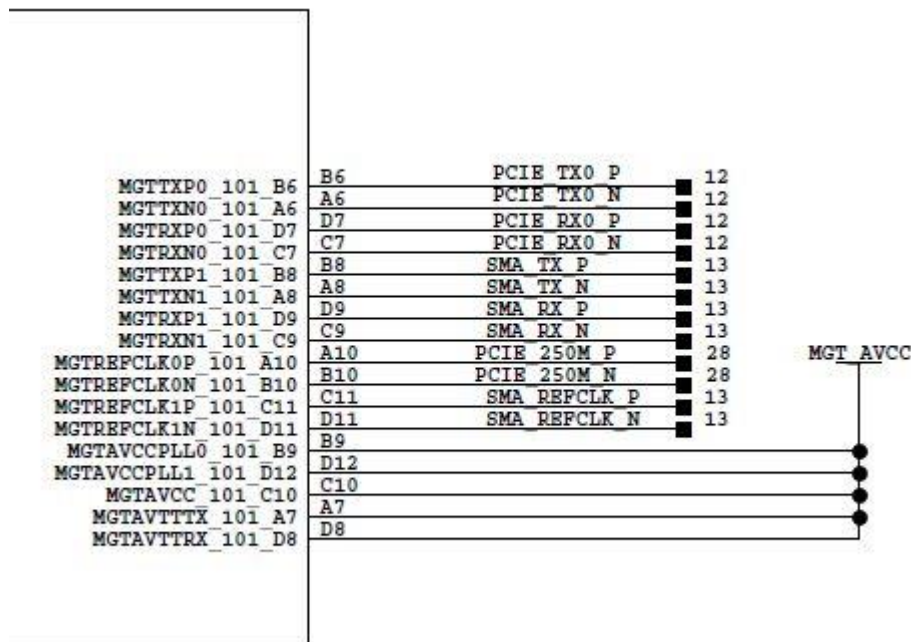
Table 5-22: Device Resources

Device	Block RAM Columns	Frame Number of Core	Frame Number of Block RAM	Number of I/Os	Frame Length of I/O	Total Bits
XC6SLX4	1	794	9360	120	577	2,724,832
XC6SLX9	2	2028	37440	200	897	2,724,832
XC6SLX16	2	2976	37440	244	1,073	3,713,568
XC6SLX25	3	5065	70200	264	1,153	6,411,696
XC6SLX25T	3	5065	70200	264	1,153	6,411,696
XC6SLX45	4	9088	149760	370	1,577	11,875,232
XC6SLX45T	4	9088	149760	370	1,577	11,875,232
XC6SLX75	4	15384	224640	426	1,801	19,624,736
XC6SLX75T	4	15384	224640	426	1,801	19,624,736
XC6SLX100	6	20304	336960	498	2,089	26,543,264
XC6SLX100T	6	20304	336960	498	2,089	26,543,264
XC6SLX150	6	27240	336960	576	2,401	33,761,696
XC6SLX150T	6	27240	336960	576	2,401	33,761,696

http://www.xilinx.com/support/documentation/user_guides/ug380.pdf

「 _____ PCIe _____ 」

PCIe 的 IO 原則上都是透過 Xilinx CoreGen 產生的,所以只要依照.ucf 就能找到對應的 MGT 位置



MGTAVCC / MGTAVTTTX / MGTAVTTRX / MGTAVCCPLL / MGTAVTTRCAL << 這些腳 PIN,儘管都沒有用到任何一組 GTP,還是建議要給電源

Table 10: Recommended Operating Conditions for GTP Transceivers⁽¹⁾⁽²⁾

Symbol	Description	Min	Max	Units
MGTAVCC	Analog supply voltage for the GTP transmitter and receiver circuits relative to GND	1.14	1.26	V
MGTAVTTTX	Analog supply voltage for the GTP transmitter termination circuit relative to GND	1.14	1.26	V
MGTAVTTRX	Analog supply voltage for the GTP receiver termination circuit relative to GND	1.14	1.26	V
MGTAVCCPLL	Analog supply voltage for the GTP transmitter and receiver PLL circuits relative to GND	1.14	1.26	V
MGTAVTTRCAL	Analog supply voltage for the resistor calibration circuit of the GTP transceiver bank (top or bottom)	1.14	1.26	V

Notes:

- Each voltage listed requires the filter circuit described in *Spartan-6 FPGA GTP Transceiver User Guide*.
- Voltages are specified for the temperature range of $T_J = -40^{\circ}\text{C}$ to $+100^{\circ}\text{C}$.

<http://www.xilinx.com/support/answers/18329.htm#spartan6>

Endpoint for PCI Express clock source

「 ————— DDR ————— 」

DDR 的 IO 原則上都是透過 Xilinx MIG 產生的,所以只要確認與 (.UCF)中的內容與 DDR component 對接就好,並不會有太大的問題

有兩個 PIN 在 MIG 產生時會與 DDR 對不上分別是(req/zio)這兩個 PIN 是設定 MIG 選擇用,一般我們會將它們分別都預留 pull up/down 電阻

在 termination 電阻,就有一些需要注意的部份

Xilinx 在 Spartan6 中可以設定 DDR Memory ODT 的功能是否開啓,一般都會使用預設值

Memory Termination Value (ODT)	<u>DDR2: C_MEM_DDR2_RTT</u> <u>DDR3: C_MEM_DDR3_RTT</u>	This attribute sets on-die termination resistance of the memory device. Possible values: DDR2: "OFF", "50OHMS", "75OHMS", "150OHMS" DDR3: "OFF", "DIV2" (RZQ/2), "DIV4" (RZQ/4), "DIV6" (RZQ/6), "DIV8" (RZQ/8), "DIV12" (RZQ/12) Note: RZQ = 240Ω
--------------------------------	--	---

在 MIG 的設定中有二個選項跟硬體比較有關聯分別是 Enable FPGA External input termination 電阻

以及給 DDR 使用的 CLK 是 differential 或是 Single-End

如下圖:

Xilinx SP601 Schematics

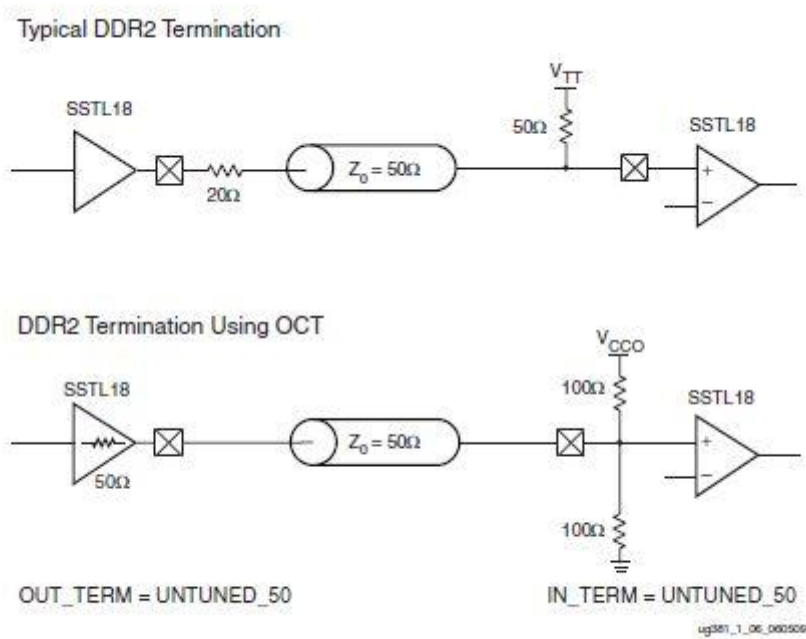
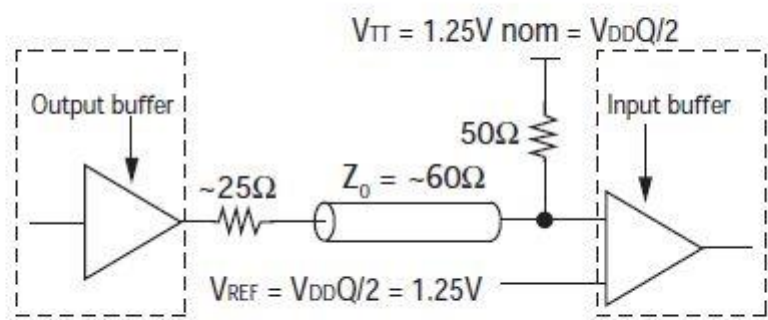


Figure 1-6: DDR2 Using On-Chip Termination



3132

Figure 8: Single-Ended Parallel Termination for DDR Component(s)



Notes: 1. Dashed lines indicate inside of the controller or DRAM device.

[————— OTHER PIN —————]

VFS / RFUSE / VBATT << 這是用來作 AES 安全機制與 RAM backup 用的, 如果沒有 規劃這功能, 可以直接 pull down

VFS	Input	Decryptor key EFUSE power supply pin for programming. When not programming, tie this pin to V_{CCAUX} . When not using the key EFUSE, the recommendation is to connect VFS to V_{CCAUX} or GND, however, the pin can be left unconnected. Only available in the XC6SLX75, XC6SLX75T, XC6SLX100, XC6SLX100T, XC6SLX150, and XC6SLX150T devices.
RFUSE	Input	Decryptor key EFUSE resistor for programming. When not programming or when not using the key EFUSE, connecting RFUSE to V_{CCAUX} or GND is recommended, however, the pin can be left unconnected. Only available in the XC6SLX75, XC6SLX75T, XC6SLX100, XC6SLX100T, XC6SLX150, and XC6SLX150T devices.
VBATT	N/A	Decryptor key RAM memory backup supply. Once V_{CCAUX} is applied, V_{BATT} can be unconnected. If key RAM is not used, connecting V_{BATT} to V_{CCAUX} or GND is recommended, or the pin can be left unconnected. Only available in the XC6SLX75, XC6SLX75T, XC6SLX100, XC6SLX100T, XC6SLX150, and XC6SLX150T devices.

http://www.xilinx.com/support/documentation/user_guides/ug381.pdf

安馳科技

Leo>Lee

【 FPGA Design Reference Documents 】

